

IFW

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

		Application Number	10/710,664
		Filing Date	7/28/2004
		First Named Inventor	Te-Chih Chang
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	3	Attorney Docket Number	AMIP0029USA

ENCLOSURES (Check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/ Incomplete Application		
<input type="checkbox"/> Response to Missing Part under 37 CFR 1.52 or 1.53		
Remarks		

BEST AVAILABLE COPY

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	8/24/2004

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name		
Signature	Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ 0.00)

Complete if Known

Application Number	10/710,664
Filing Date	7/28/2004
First Named Inventor	Te-Chih Chang
Examiner Name	
Art Unit	
Attorney Docket No.	AMIP0029USA

METHOD OF PAYMENT (check all that apply)

Check Credit card Money Order Other None

Deposit Account:

Deposit Account Number
Deposit Account Name

50-3105

North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

Charge fee(s) indicated below Credit any overpayments
 Charge any additional fee(s) or any underpayment of fee(s)
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code (\$)	Fee (\$)	Fee Code (\$)	Fee (\$)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ 0.00)

*or number previously paid, if greater; For Reissues, see above

SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature					

(Complete if applicable)

Date

8/2/2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



AMI = 9

PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
As a collection of information unless it contains a valid OMB control number.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION --- Supplemental Priority Data Sheet

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.

AM1-029



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2004 年 06 月 03 日
Application Date

申 請 案 號：093115998
Application No.

申 請 人：聯笙電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局 長
Director General

蔡 緣 生

發文日期：西元 2004 年 7 月 23 日
Issue Date

發文字號：09320701070
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

壹、發明名稱：(中文/英文)

數位相位頻率鑑別電路 / DIGITAL PHASE FREQUENCY
DISCRIMINATOR

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

聯笙電子股份有限公司 / AMIC TECHNOLOGY CORPORATION

代表人：(中文/英文)

陳焜錄 / CHEN, KUN-LUH

住居所或營業所地址：(中文/英文)

新竹市新竹科學園區力行六路二號 / No. 2, Li-Hsing 6 Rd.,
Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國 / TWN

參、發明人：(共1人)

姓名：(中文/英文)

1. 張德智 / CHANG, TE-CHIH

住居所地址：(中文/英文)

1. 新竹市新竹科學園區湖濱三路三十號 / No. 30, Hu-Bin 3 Rd.,
Hsin-Chu Industrial Park., Hsin-Chu City, Taiwan, R.O.C.

國籍：(中文/英文)

1. 中華民國 / TWN

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：
【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

本發明係提供一種數位相位頻率鑑別電路，其包含一用來於被設定成一預定狀態時產生一第一輸出訊號之第一 SR 門鎖器、一用來於被設定成該預定狀態時產生一第二輸出訊號之第二 SR 閂鎖器、一用來感測該第一輸出訊號及該第二輸出訊號並據以輸出一 RCM 訊號之預定狀態感測電路、一用來依據該 RCM 訊號將該第一 SR 閂鎖器設定成該預定狀態之第一預定狀態控制電路、以及一用來依據該 RCM 訊號將該第二 SR 閂鎖器設定成該預定狀態之第二預定狀態控制電路，該第一 SR 閂鎖器及該第一預定狀態控制電路可接收一第一輸入訊號，該第二 SR 閂鎖器及該第二預定狀態控制電路可接收一第二輸入訊號。

陸、英文發明摘要：

A digital phase frequency discriminator has a first SR latch for generating a first output signal when set to a predetermined state, a second SR latch for generating a second output signal when set to the predetermined state, a predetermined state-sensing circuit for sensing the first and the second output signals and for outputting an RCM signal, a first predetermined state control circuit for setting the first SR latch to the predetermined state according to the RCM signal, and a second predetermined state control circuit for setting the second SR latch to the predetermined state according to the RCM signal. Both the first SR latch and the first predetermined state control circuit have a first inputting terminal for receiving a first input signal, and both the second SR latch and the second predetermined state control circuit have a second inputting terminal for receiving a second input signal.

柒、指定代表圖：

(一)本案指定代表圖為：第（五）圖。

(二)本代表圖之元件代表符號簡單說明：

50	DPFD	52	第一 SR 門鎖器
54	第二 SR 門鎖器	56	第三 SR 門鎖器
58	第四 SR 門鎖器	60	第一反或閘
62	第二反或閘	64	第三反或閘
66	第四反或閘	68	第一反且閘
70	第二反且閘	72	第三反且閘
74	第四反且閘	76	重設定反且閘
78	第一輸入端	80	第二輸入端
82	輸出端		

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

玖、發明說明：

【發明所屬之技術領域】

本發明係提供一種數位相位鑑別電路，尤指一種結構簡單之數位相位頻率鑑別電路。

【先前技術】

一般而言，數位相位頻率鑑別電路(digital phase-frequency discriminator, DPFD)可依據二輸入訊號間之相位或頻率關係提供一輸出訊號。舉例來說，在一鎖相電路(phase-locked loop)中，一數位相位頻率鑑別電路可用來比較一參考訊號與一輸出自一壓控振盪器(voltage-controlled oscillator, VCO)之訊號，以偵測出該二訊號間之相位差或頻率差，並據以提供一相關於該相位差或該頻率差之輸出訊號，而該壓控振盪器之頻率便可隨著該輸出訊號之不同而有所改變。如此一來，輸出自該壓控振盪器之訊號便可漸漸地同相位或同頻率於該數位相位頻率鑑別電路所接收之參考訊號，換言之，該鎖相電路係刻正處於「鎖相」之狀態。

請參閱圖一，圖一為習知一 DPFD 10 之電路圖。DPFD 10 包含一第一 SR 門鎖器(SR latch)12、一第二 SR 閂鎖器 14、一第三 SR 閂鎖器 16 及一第四 SR 閂鎖器 18，每一 SR 閂鎖器皆包含一對交錯偶接(cross-coupled)之反或閘(NOR gate)，而每一反或閘皆包含二輸入端。

第一 SR 閂鎖器 12 係包含一第一反或閘 20 及一第二反或閘 22，第一反或閘 20 之一輸入端係作為第一 SR 閂鎖器 12 之 S 輸入端，第二反或閘 22 之一輸入端係作為第一 SR 閂鎖器 12 之 R 輸入端，第一反或閘 20 之另一輸入端係交錯連接於第二反或閘 22 之

輸出端，第二反或閘 22 之另一輸入端則係交錯連接於第一反或閘 20 之輸出端。第一反或閘 20 之輸出端提供一 \bar{Q} 輸出訊號，而第二反或閘 22 之輸出端則提供一 Q 輸出訊號。

相似地，第二 SR 門鎖器 14 係包含一第三反或閘 24 及一第四反或閘 26，第三反或閘 24 之一輸入端係作為第二 SR 閂鎖器 14 之 S 輸入端，第四反或閘 26 之一輸入端係作為第二 SR 閂鎖器 14 之 R 輸入端，第三反或閘 24 之另一輸入端係交錯連接於第四反或閘 26 之輸出端，第四反或閘 26 之另一輸入端則係交錯連接於第三反或閘 24 之輸出端。第三反或閘 24 之輸出端提供一 \bar{Q} 輸出訊號，而第四反或閘 26 之輸出端則提供一 Q 輸出訊號。

第三 SR 閂鎖器 16 係包含一第五反或閘 28 及一第六反或閘 30，第五反或閘 28 之一輸入端係作為第三 SR 閂鎖器 16 之 S 輸入端，並連接於第一 SR 閂鎖器 12 之 \bar{Q} 輸出訊號端，第六反或閘 30 之一輸入端係作為第三 SR 閂鎖器 16 之 R 輸入端，第五反或閘 28 之另一輸入端係交錯連接於第六反或閘 30 之輸出端，第六反或閘 30 之另一輸入端則係交錯連接於第五反或閘 28 之輸出端。第五反或閘 28 之輸出端提供一 \bar{Q} 輸出訊號，而第六反或閘 30 之輸出端則提供一 Q 輸出訊號。

第四 SR 閂鎖器 18 係包含一第七反或閘 32 及一第八反或閘 34，第七反或閘 32 之一輸入端係作為第四 SR 閂鎖器 18 之 S 輸入端，並連接於第二 SR 閂鎖器 14 之 \bar{Q} 輸出訊號端，第八反或閘 34 之一輸入端係作為第四 SR 閂鎖器 18 之 R 輸入端，第七反或閘 32 之另一輸入端係交錯連接於第八反或閘 34 之輸出端，第八反或閘 34 之另一輸入端則係交錯連接於第七反或閘 32 之輸出端。第七反或閘 32 之輸出端提供一 \bar{Q} 輸出訊號，而第八反或閘 34 之輸出端則提供一 Q 輸出訊號。

第一反或閘 20 之 S 輸入端係用來接收一第一輸入訊號 I_1 ，第三反或閘 24 之 S 輸入端係用來接收一第二輸入訊號 I_2 ，第二輸入訊號 I_2 係非同步於第一輸入訊號 I_1 。另外，第三 SR 門鎖器 16 之 \bar{Q} 輸出訊號端係連接於第一 SR 門鎖器 12 之 R 輸入端，第四 SR 門鎖器 18 之 \bar{Q} 輸出訊號端係連接於第二 SR 閂鎖器 14 之 R 輸入端。此外，第一 SR 閂鎖器 12 之 Q 輸出訊號端可提供一第一輸出訊號 O_1 ，第二 SR 閂鎖器 14 之 Q 輸出訊號端可提供一第二輸出訊號 O_2 。

DPFD 10 另包含一重設定反或閘(reset NOR gate)36，其係用來分別提供第三及第四 SR 閂鎖器 16 及 18 重設定訊號(reset signal)。重設定反或閘 36 之第一輸入端 38 係連接於第一 SR 閂鎖器 12 之 \bar{Q} 輸出訊號端，第二輸入端 40 係連接於第二門鎖器 14 之 \bar{Q} 輸出訊號端，而輸出端 42 係同時連接於第三及第四 SR 閂鎖器 16 及 18 之 R 輸入端。

請參閱圖二，圖二為圖一所顯示之 DPFD 10 於運作時，第一及第二輸入訊號 I_1 及 I_2 、第一及第二輸出訊號 O_1 及 O_2 、及輸出於重設定反或閘 36 之 RCM 訊號之時序圖，DPFD 10 之運作過程說明如下。

在圖二所顯示之時序圖中，第一及第二 SR 閂鎖器 12 及 14 於時間 T_0 時係皆處於重設定狀態(reset state)，也就是說，第一及第二門鎖器 12 及 14 之 Q 輸出訊號端係處於「邏輯 0」狀態(logic state zero)，而 \bar{Q} 輸出訊號端係處於「邏輯 1」狀態(logic state one)。因此，第一輸出訊號 O_1 、第二輸出訊號 O_2 及 RCM 訊號於時間 T_0 時亦皆係處於「邏輯 0」狀態。另一方面，第三及第四 SR 閂鎖器 16 及 18 於時間 T_0 時係皆處於設定狀態(set state)，也就是說，第三及第四門鎖器 16 及 18 之 Q 輸出訊號端係處於「邏輯 1」

狀態，而 \bar{Q} 輸出訊號端係處於「邏輯 0」狀態。最後，第一輸入訊號 I_1 及第二輸入訊號 I_2 於時間 T_0 時皆係處於「邏輯 0」狀態。

於時間 T_1 時，第一輸入訊號 I_1 由「邏輯 0」狀態轉換成「邏輯 1」狀態，結果，第一 SR 門鎖器 12 由重設定狀態轉換成設定狀態，而第一輸出訊號 O_1 則因閘轉換延遲(inversion gate propagation delay)之緣故，遲至時間 T_2 方由原本之「邏輯 0」狀態轉換成「邏輯 1」狀態。一般而言，邏輯訊號經過邏輯閘時，會因雜訊(noise)的影響而產生時序抖動(timing jitter)。由於第一輸入訊號 I_1 係經由兩個邏輯閘(第一反或閘 20 及第二反或閘 22)後，方到達第一 SR 門鎖器 12 之 Q 輸出訊號端，所以，第一 SR 閂鎖器 12 之 Q 輸出訊號端由重設定狀態轉換成設定狀態時，係累積了二個邏輯閘的抖動量。然而，在時間 T_2 時，第二輸出訊號 O_2 並未有任何的變化。請注意，在第二輸入訊號 I_2 保持恒定，且第一 SR 閂鎖器 12 係處於設定狀態之情形下，第一輸入訊號 I_1 接下來的任何變化將不會轉換 DPFD 10 內任何 SR 閂鎖器之狀態。

於時間 T_3 時，第二輸入訊號 I_2 由「邏輯 0」狀態轉換成「邏輯 1」狀態，結果，第二 SR 閂鎖器 14 由重設定狀態轉換成設定狀態，而第二輸出訊號 O_2 則亦因閘轉換延遲之緣故，遲至時間 T_4 方由原本之「邏輯 0」狀態轉換成「邏輯 1」狀態，同樣地，第二 SR 閂鎖器 14 之 Q 輸出訊號端由重設定狀態轉換成設定狀態時，亦累積了二個邏輯閘的抖動量。在時間 T_4 時，輸入於重設定反或閘 36 之輸入訊號(第一及第二 SR 閂鎖器 12 及 14 之 \bar{Q} 輸出訊號)皆已由「邏輯 1」狀態轉換成「邏輯 0」狀態，導致重設定反或閘 36 於稍後於時間 T_4 之時間 T_{RCM} (理由同上)分別輸出一「邏輯 1」狀態訊號(該 RCM 訊號)至第三及第四 SR 閂鎖器 16 及 18 之 R 輸入端，結果第三及第四 SR 閂鎖器 16 及 18 皆由原本之設定狀態轉換成重設定狀態。

在轉換成重設定狀態後，第三 SR 門鎖器 16 提供一「邏輯 1」狀態訊號至第一 SR 門鎖器 12 之 R 輸入端，而第四 SR 閂鎖器 18 亦提供一「邏輯 1」狀態訊號至第二 SR 閂鎖器 14 之 R 輸入端，因此，在時間 T_5 時，由第一及第二 SR 閂鎖器 12 及 14 所分別提供之第一及第二輸出訊號 O_1 及 O_2 會分別由「邏輯 1」狀態轉換成「邏輯 0」狀態。

就第一及第三 SR 閂鎖器 12 及 16 而言，由於重設定反或閘 36 所輸出之 RCM 訊號需先經由第六、第五及第二反或閘 30、28 及 22 後，方可到達第一 SR 閂鎖器 12 之 Q 輸出訊號端，所以，第一 SR 閂鎖器 12 之 Q 輸出訊號端由設定狀態轉換成重設定狀態時，係累積了三個邏輯閘的抖動量。

DPFD 10 之第一及第二輸出訊號 O_1 及 O_2 之邏輯狀態（「邏輯 0」或「邏輯 1」）轉換的時序抖動，會導致連接於其後之充電電路（charge pump）對一特定電路充入多寡不一之電量。

請參閱圖三及圖四，圖三及圖四為習知另二 DPFD 之電路圖。圖三係顯示美國專利第 3,610,954 號「PHASE COMPARATOR USING LOGIC GATES」中一 DPFD1 之電路圖。DPFD 1 係包含複數個邏輯閘（反且閘），用來比較輸入於二輸入端 2 及 3 之二輸入訊號 f_1 及 f_2 ，並據以於二輸出端 4 及 5 產生二輸出訊號。當反且閘 6 所產生之 RCM 訊號轉換成「邏輯 0」時，此訊號需經過反且閘 9，方可到達反且閘 9 之輸出端 4，此時，反且閘 9 之輸出端 4 上累積了一個邏輯閘之抖動量。雖然，DPFD 1 確可解決上述抖動量過大之問題，然而，當二輸入訊號 f_1 及 f_2 幾乎同相位時，DPFD 1 却有嚴重的交越失真（crossover distortion）問題。

圖四係顯示美國專利第 4,928,026 號「DIGITAL PHASE

COMPARING CIRCUIT」中一 DPFD11 之電路圖。DPFD 11 亦係包含複數個邏輯閘，用來比較輸入於二輸入端 S_1 及 S_2 之二輸入訊號 IN_1 及 IN_2 ，並據以於四輸出端 S_5 、 S_6 、 S_7 及 S_8 產生四輸出訊號 OUT_1 、 OUT_2 、 OUT_3 及 OUT_4 。一反且閘 13 所產生之 RCM 訊號僅需經過反且閘 15 及 17，便可到達反且閘 17 之輸出端 S_6 ，換言之，反且閘 17 之輸出端 S_6 上僅累積了二個邏輯閘之抖動量。雖然，DPFD 11 確可解決上述抖動量過大之問題，然而，很明顯的，相較於 DPFD 10 所包含之九個邏輯閘，DPFD 11 中所包含之多達十一個邏輯閘，顯然是太多了。

【發明內容】

因此本發明之主要目的在於提供一種結構簡單且抖動量小之數位相位頻率鑑別電路，以解決習知技術之缺點。

根據本發明之申請專利範圍，本發明係揭露一種數位相位頻率鑑別電路，其包含一第一 SR 門鎖器、一第二 SR 門鎖器、一電連接於該第一及第二 SR 門鎖器之預定狀態感測電路、一電連接於該預定狀態感測電路及該第一 SR 閂鎖器之第一預定狀態控制電路、以及一電連接於該預定狀態感測電路及該第二 SR 閂鎖器之第二預定狀態控制電路。

該第一 SR 閂鎖器係用來於被設定成該第一預定狀態時產生一第一輸出訊號，該第一 SR 閂鎖器之第一輸入端係用來接收一第一輸入訊號；該第二 SR 閂鎖器係用來於被設定成該預定狀態時產生一第二輸出訊號，該第二 SR 閂鎖器之第一輸入端係用來接收一第二輸入訊號；該預定狀態感測電路係用來感測該第一輸出訊號及該第二輸出訊號，並據以輸出一 RCM 訊號；該第一預定狀態控制電路係用來依據該 RCM 訊號將該第一 SR 閂鎖器設定成該預定狀

態，該第一預定狀態控制電路之第一輸入端係用來接收該第一輸入訊號；而該第二預定狀態控制電路係用來依據該 RCM 訊號將該第二 SR 門鎖器設定成該預定狀態，該第二預定狀態控制電路之第一輸入端係用來接收該第二輸入訊號。

【實施方式】

請參閱圖五，圖五為本發明之較佳實施例中一 DPFD 50 之電路圖。DPFD 50 包含一第一 SR 門鎖器 52、一第二 SR 閂鎖器 54、一第三 SR 閂鎖器 56 及一第四 SR 閂鎖器 58，第一及第二 SR 閂鎖器 52 及 54 分別包含一對交錯偶接之反或閘，而第三及第四 SR 閂鎖器 56 及 58 則分別包含一對交錯偶接之反且閘(NAND gate)，每一反或閘或反且閘皆包含二輸入端。

第一 SR 閂鎖器 52 係包含一第一反或閘 60 及一第二反或閘 62，第一反或閘 60 之一輸入端係作為第一 SR 閂鎖器 52 之 S 輸入端，第二反或閘 62 之一輸入端係作為第一 SR 閂鎖器 52 之 R 輸入端，第一反或閘 60 之另一輸入端係交錯連接於第二反或閘 62 之輸出端，第二反或閘 62 之另一輸入端則係交錯連接於第一反或閘 60 之輸出端。第一反或閘 60 之輸出端提供一 \bar{Q} 輸出訊號，而第二反或閘 62 之輸出端則提供一 Q 輸出訊號。

第二 SR 閂鎖器 54 係包含一第三反或閘 64 及一第四反或閘 66，第三反或閘 64 之一輸入端係作為第二 SR 閂鎖器 54 之 S 輸入端，第四反或閘 66 之一輸入端係作為第二 SR 閂鎖器 54 之 R 輸入端，第三反或閘 64 之另一輸入端係交錯連接於第四反或閘 66 之輸出端，第四反或閘 66 之另一輸入端則係交錯連接於第三反或閘 64 之輸出端。第三反或閘 64 之輸出端提供一 \bar{Q} 輸出訊號，而第四反或閘 66 之輸出端則提供一 Q 輸出訊號。

第三 SR 門鎖器 56 係包含一第一反且閘 68 及一第二反且閘 70，第一反且閘 68 之一輸入端係作為第三 SR 門鎖器 56 之 \bar{R} 輸入端，並連接於第一 SR 閂鎖器 52 之 S 輸入端，第二反且閘 70 之一輸入端係作為第三 SR 閂鎖器 56 之 \bar{S} 輸入端，第一反且閘 68 之另一輸入端係交錯連接於第二反且閘 70 之輸出端，第二反且閘 70 之另一輸入端則係交錯連接於第一反且閘 68 之輸出端。第一反且閘 68 之輸出端係提供一 \bar{Q} 輸出訊號，而第二反且閘 70 之輸出端則係提供一 Q 輸出訊號。

第四 SR 閂鎖器 58 係包含一第三反且閘 72 及一第四反且閘 74，第三反且閘 72 之一輸入端係作為第四 SR 閂鎖器 58 之 \bar{R} 輸入端，並連接於第二 SR 閂鎖器 54 之 S 輸入端，第四反且閘 74 之一輸入端係作為第四 SR 閂鎖器 58 之 \bar{S} 輸入端，第三反且閘 72 之另一輸入端係交錯連接於第四反且閘 74 之輸出端，第四反且閘 74 之另一輸入端則係交錯連接於第三反且閘 72 之輸出端。第三反且閘 72 之輸出端係提供一 \bar{Q} 輸出訊號，而第四反且閘 74 之輸出端則係提供一 Q 輸出訊號。

第一 SR 閂鎖器 52 之 S 輸入端係用來接收一第一輸入訊號 I_1 ，第二 SR 閂鎖器 54 之 S 輸入端係用來接收一第二輸入訊號 I_2 。另外，第三 SR 閂鎖器 56 之 Q 輸出訊號端係連接於第一 SR 閂鎖器 52 之 R 輸入端，第四 SR 閂鎖器 58 之 Q 輸出訊號端係連接於第二 SR 閂鎖器 54 之 R 輸入端。最後，第一 SR 閂鎖器 52 之 Q 輸出訊號端可提供一第一輸出訊號 O_1 ，第二 SR 閂鎖器 54 之 Q 輸出訊號端可提供一第二輸出訊號 O_2 。

DPFD 50 另包含一重設定反且閘 76，其係用來分別提供第三及第四 SR 閂鎖器 56 及 58 之設定訊號。重設定反且閘 76 之第一輸

入端 78 係連接於第一 SR 門鎖器 52 之 Q 輸出訊號端，第二輸入端 80 係連接於第二門鎖器 54 之 Q 輸出訊號端，而輸出端 82 係同時連接於第三及第四 SR 門鎖器 56 及 58 之 \bar{S} 輸入端。

請參閱圖六，圖六為圖五所顯示之 DPFD 50 運作時，第一及第二輸入訊號 I_1 及 I_2 、第一及第二輸出訊號 O_1 及 O_2 、及輸出於重設定反且閘 76 之 RCM 訊號之時序圖，DPFD 50 之運作過程說明如下。

在圖六所顯示之時序圖中，第一及第二 SR 門鎖器 52 及 54 於時間 T_0 時係皆處於重設定狀態，因此，第一輸出訊號 O_1 及第二輸出訊號 O_2 於時間 T_0 時係處於「邏輯 0」狀態。另一方面，第三及第四 SR 門鎖器 56 及 58 於時間 T_0 時亦係皆處於重設定狀態，換言之，第三及第四門鎖器 56 及 58 之 Q 輸出訊號端係處於「邏輯 0」狀態，而 \bar{Q} 輸出訊號端係處於「邏輯 1」狀態。最後，第一輸入訊號 I_1 及第二輸入訊號 I_2 於時間 T_0 時皆係處於「邏輯 0」狀態。

於時間 T_1 時，第一輸入訊號 I_1 由「邏輯 0」狀態轉換成「邏輯 1」狀態，結果，第一 SR 門鎖器 52 由原本之重設定狀態轉換成設定狀態，而第一輸出訊號 O_1 則於時間 T_2 方由原本之「邏輯 0」狀態轉換成「邏輯 1」狀態。在時間 T_2 時，第二輸出訊號 O_2 並未有任何的變化。請注意，在第二輸入訊號 I_2 保持恒定，且第一 SR 門鎖器 52 係處於設定狀態之情形下，第一輸入訊號 I_1 接下來的任何變化將不會轉換 DPFD 50 內任何 SR 門鎖器之狀態。

於時間 T_3 時，第二輸入訊號 I_2 由「邏輯 0」狀態轉換成「邏輯 1」狀態，結果，第二 SR 門鎖器 54 由原本之重設定狀態轉換成設定狀態，而第二輸出訊號 O_2 則於時間 T_4 方由原本之「邏輯 0」狀態轉換成「邏輯 1」狀態。在時間 T_4 時，輸入於重設定反且閘 76 之輸入訊號(第一及第二 SR 閂鎖器 52 及 54 之 Q 輸出訊號)皆已由

原本之「邏輯 0」狀態轉換成「邏輯 1」狀態，導致重設定反且閘 76 於稍後於時間 T_4 之時間 T_{RCM} 分別輸出一「邏輯 0」狀態訊號(RCM 訊號)至第三及第四 SR 門鎖器 56 及 58 之 \bar{S} 輸入端，結果，第三及第四 SR 門鎖器 56 及 58 皆由原本之重設定狀態轉換成設定狀態。

在轉換成設定狀態後，第三 SR 門鎖器 56 提供一「邏輯 1」狀態訊號至第一 SR 閂鎖器 52 之 R 輸入端，而第四 SR 閂鎖器 58 亦提供一「邏輯 1」狀態訊號至第二 SR 閂鎖器 54 之 R 輸入端，因此，在稍後於時間 T_{RCM} 之時間 T_5 時，由第一及第二 SR 閂鎖器 52 及 54 所分別提供之第一及第二輸出訊號 O_1 及 O_2 會分別由「邏輯 1」狀態轉換成「邏輯 0」狀態，隨後，重設定反且閘 76 所輸出之 RCM 訊號於稍後於時間 T_5 之時間 T_6 由「邏輯 0」狀態重新回到「邏輯 1」狀態。

就第一及第三 SR 閂鎖器 52 及 56 而言，由於重設定反且閘 76 所輸出之 RCM 訊號僅需先經由第二反且閘 70 及第二反或閘 62 後，便可到達第一 SR 閂鎖器 52 之 Q 輸出訊號端，所以，第一及第二 SR 閂鎖器 52 及 54 之 Q 輸出訊號端由設定狀態轉換成重設定狀態時，皆僅累積了二個邏輯閘的抖動量，其係小於習知 DPF 10 之第一及第二 SR 閂鎖器 12 及 14 之 Q 輸出訊號端上所累積之三個邏輯閘的抖動量。

在時間 T_7 及時間 T_8 時，第一及第二輸入訊號 I_1 及 I_2 依序由「邏輯 1」狀態轉換成「邏輯 0」狀態，由於在時間 T_8 後，DPFD 50 內所有 SR 閂鎖器皆已重新回到重設定狀態，所以 DPF 50 便可再次地接收其它輸入訊號了。

本發明之較佳實施例及其運作過程已如上述，雖然在 DPF 50 中，第一及第二 SR 閂鎖器 52 及 54 係由複數個反或閘所組成、第

三及第四 SR 門鎖器 56 及 58 係由複數個反且閘所組成、用來合成第一及第二輸出訊號 O_1 及 O_2 之重設定反且閘 76 為一反且閘、而輸入訊號為正緣觸發(positive edge triggered)，也就是說，第一及第二輸入訊號 I_1 及 I_2 由「邏輯 0」狀態轉換成「邏輯 1」狀態之瞬間，會驅動第一及第二輸出訊號 O_1 及 O_2 的邏輯轉態，然而，基於邏輯閘之等效替換特性(equivalence of replacement)，本發明之 DPFD 可依據上述之 DPFD 50 而作各種不同之變化。

舉例來說，請參閱圖七及圖八，圖七及圖八分別為本發明之第二及第三實施例中依據 DPFD 50 而衍生之二 DPFD 100 及 110 之電路圖。

在 DPFD 100 中，一或閘 102 取代了 DPFD 50 中之反且閘 76，除此之外，或閘 102 之第一及第二輸入端 104 及 106 係分別連接於第一及第二 SR 門鎖器 52 及 54 之 \bar{Q} 輸出訊號端，而非如反且閘 76 之第一及第二輸入端 78 及 80 係分別連接於第一及第二 SR 門鎖器 52 及 54 之 Q 輸出訊號端。

在 DPFD 110 中，四反且閘 160、162、164 及 166 分別取代了 DPFD 50 中之反或閘 60、62、64 及 66、四反或閘 168、170、172 及 174 分別取代了 DPFD 50 中之反且閘 68、70、72 及 74、而一反或閘 176 取代了反且閘 76。DPFD 110 於運作時，第一及第二輸入訊號 I_1 及 I_2 、第一及第二輸出訊號 O_1 及 O_2 、及 RCM 訊號之時序圖係顯示於圖九中。DPFD 110 之運作過程係類似於 DPFD 50 之運作過程，於茲不贅。惟需注意的是，於時間 T_0 時，DPFD 110 內所有 SR 門鎖器皆係處於設定狀態，且輸入訊號為負緣觸發(negative edge triggered)，也就是說，第一及第二輸入訊號 I_1 及 I_2 由「邏輯 1」狀態轉換成「邏輯 0」狀態之瞬間，會驅動第一及第二輸出訊號 O_1 及 O_2 的邏輯轉態。

在 DPFD 50(DPFD 100 及 DPFD 110 亦同)中，第三及第四 SR 門鎖器 56 及 58 係依據重設定反且閘 76 所輸出之 RCM 訊號，分別於其 Q 輸出訊號端產生用來重設定第一及第二 SR 門鎖器 52 及 54 之重設定訊號，而重設定反且閘 76 則係依據第一及第二輸出訊號 O_1 及 O_2 以產生該 RCM 訊號。因此，等效上，第三及第四 SR 門鎖器 56 及 58 可視為二依據該 RCM 訊號產生該重設定訊號之重設定控制電路，而重設定反且閘 76 可視為用來分別感測第一及第二輸出訊號 O_1 及 O_2 並據以產生該 RCM 訊號之重設定感測電路。換言之，本發明之 DPFD 50(DPFD 100 及 DPFD 110 亦同)可依據其內所包含之各種不同之元件所具有之特定功能，而被簡化成圖十中所顯示之功能方塊圖。

請參閱圖十，圖十為 DPFD 50(DPFD 100 及 DPFD 110 亦同)之功能方塊圖。DPFD 50 包含二重設定控制電路 202 及 204、一重設定感測電路 206、第一 SR 門鎖器 52 及第二 SR 門鎖器 54。不同於習知 DPFD 10 中之重設定控制電路係分別受控於第一及第二 SR 門鎖器 12 及 14，本發明之 DPFD 中之重設定控制電路 202 及 204 係直接分別受控於第一及第二輸入訊號 I_1 及 I_2 。

請再參閱圖六，在時間 T_4 時，第二輸出訊號 O_2 由「邏輯 0」狀態轉換成「邏輯 1」狀態之瞬間，第一及第二輸出訊號 O_1 及 O_2 並不會立刻被重設定至重設定狀態，即第一及第二輸出訊號 O_1 及 O_2 並非立即由「邏輯 1」狀態再重設定至「邏輯 0」狀態，反而是，第一及第二輸出訊號 O_1 及 O_2 必需經過時間 T_4 與時間 T_5 間之時間間隙(重設定時間)後，方能由「邏輯 1」狀態轉換成「邏輯 0」狀態，而該重設定時間必需久到足以使得第一及第二輸出訊號 O_1 及 O_2 在由「邏輯 1」狀態開始回復至「邏輯 0」狀態前，能先達到「全邏輯 1」狀態(full logical 1 state amplitude level)。

該重設定時間之久暫主要係決定於 DPFD 50 中重設定感測電路之特性以及其與各個 SR 門鎖器間之連接方式。該重設定時間必需久至超過一預定時間長度之用意係在於當第一及第二輸入訊號 I_1 及 I_2 幾乎同相位時，可避免交越失真之發生。

附帶一提的是，為了防止第一及第二 SR 門鎖器 52 及 54 發生賽跑現象(race)，本發明之 DPFD 50 可另包含二延遲元件 300 及 302，如圖十一所示，分別設置於第一 SR 閂鎖器 52 之 S 輸入端與第三 SR 閂鎖器 56 之 \bar{R} 輸入端、以及第二 SR 閂鎖器 54 之 S 輸入端與第四 SR 閂鎖器 58 之 \bar{R} 輸入端之間。

相較於習知 DPFD，本發明之 DPFD 係包含二重設定控制電路、一重設定感測電路、及二 SR 閂鎖器，其中該二重設定控制電路係分別直接受控於二輸入訊號。如此一來，該二 SR 閂鎖器之輸出端上皆僅累積了兩個邏輯閘之抖動量，換言之，本發明之 DPFD 可具有較小之抖動量。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。

【圖式簡單說明】

圖式之簡單說明

圖一為習知一 DPFD 之電路圖。

圖二為圖一所顯示之 DPFD 運作時，其內各個訊號之時序圖。

圖三及圖四為習知另二 DPFD 之電路圖。

圖五為本發明之較佳實施例中一 DPFD 之電路圖。

圖六為圖五所顯示之 DPFD 運作時，其內各個訊號之時序圖。

圖七為本發明之第二實施例中一 DPFD 之電路圖。

圖八為本發明之第三實施例中一 DPFD 之電路圖。

圖九為圖八所顯示之 DPFD 運作時，其內各個訊號之時序圖。

圖十為本發明之第四實施例中一 DPFD 之功能方塊圖。

圖十一為本發明之第五實施例中一 DPFD 之電路圖。

圖式之符號說明

1、11	DPFD	2、3、S ₁ 、S ₂	輸入端
4、5、S ₃ 、S ₄ 、 S ₅ 、S ₆	輸出端	6、7、8、9、 13、15、17	反且閘
10、50、100、 110	DPFD	12、52	第一 SR 門鎖器
14、54	第二 SR 門鎖器	16、56	第三 SR 閂鎖器
18、58	第四 SR 閂鎖器	20、60	第一反或閘
22、62	第二反或閘	24、64	第三反或閘
26、66	第四反或閘	28	第五反或閘
30	第六反或閘	32	第七反或閘
34	第八反或閘	36	重設定反或閘
38、78、104	第一輸入端	40、80、106	第二輸入端
42、82	輸出端	68	第一反且閘
70	第二反且閘	72	第三反且閘
74	第四反且閘	76	重設定反且閘
102	或閘	160、162、 164、166	反且閘
168、170、 172、174	反或閘	202、204	重設定控制電 路
206	重設定感測電 路	300、302	延遲元件

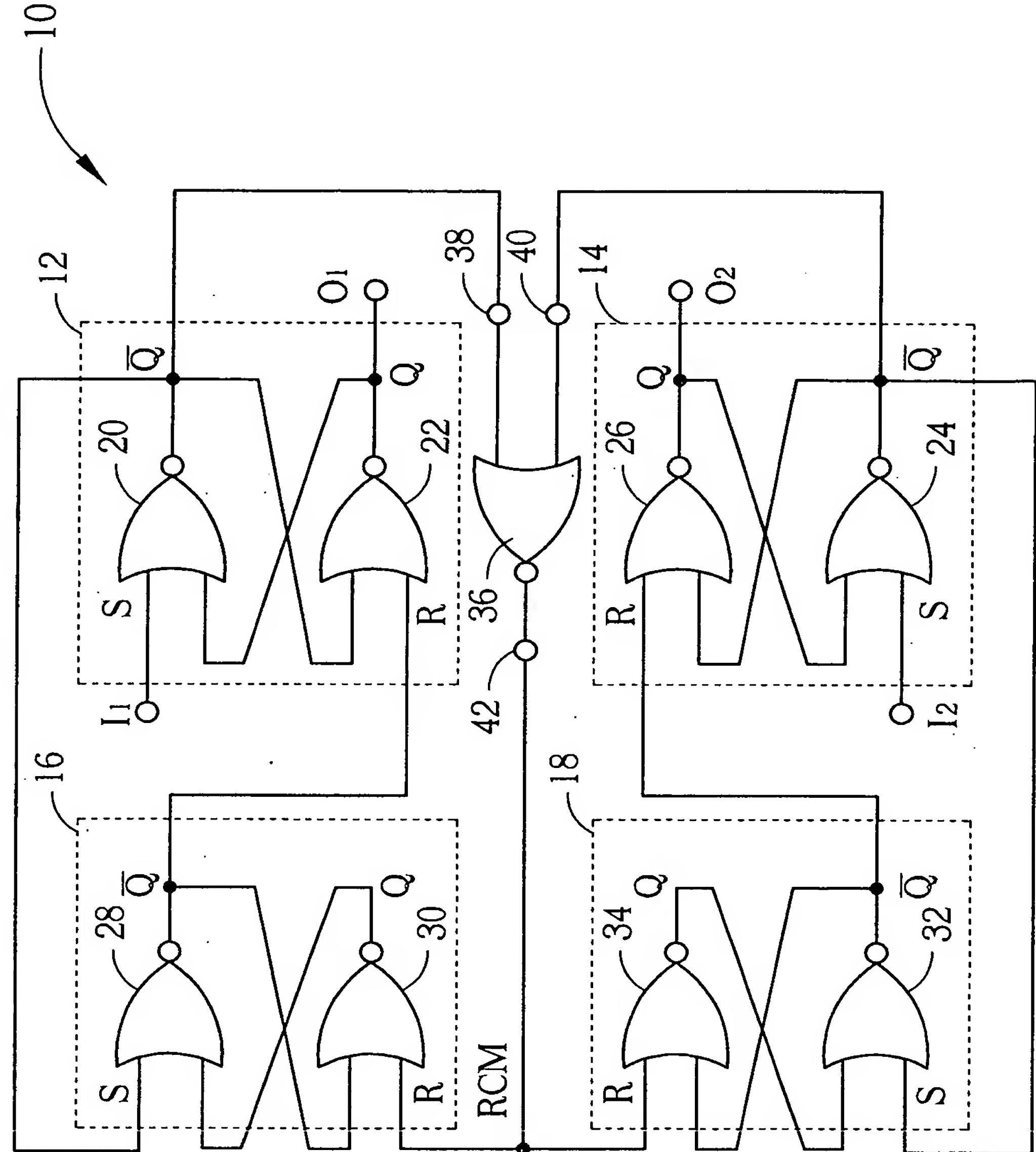
拾、申請專利範圍：

1. 一種數位相位頻率鑑別電路(digital phase frequency discriminator, DPFD)，其包含：
 - 一第一 SR 門鎖器，用來於被設定成一預定狀態時產生一第一輸出訊號，該第一 SR 門鎖器之第一輸入端係用來接收一第一輸入訊號；
 - 一第二 SR 門鎖器，用來於被設定成該預定狀態時產生一第二輸出訊號，該第二 SR 門鎖器之第一輸入端係用來接收一第二輸入訊號；
 - 一預定狀態感測電路，電連接於該第一及第二 SR 門鎖器，用來感測該第一輸出訊號及該第二輸出訊號，並據以輸出一 RCM 訊號；
 - 一第一預定狀態控制電路，電連接於該預定狀態感測電路及該第一 SR 門鎖器，用來依據該 RCM 訊號將該第一 SR 閂鎖器設定成該預定狀態，該第一預定狀態控制電路包含一用來接收該第一輸入訊號之第一輸入端、及一用來接收該 RCM 訊號之第二輸入端；以及
 - 一第二預定狀態控制電路，電連接於該預定狀態感測電路及該第二 SR 閂鎖器，用來依據該 RCM 訊號將該第二 SR 閂鎖器設定成該預定狀態，該第二預定狀態控制電路包含一用來接收該第二輸入訊號之第一輸入端、及一用來接收該 RCM 訊號之第二輸入端。
2. 如申請專利範圍第 1 項所述之數位相位頻率鑑別電路，其另包含一第一延遲元件，連接於該第一預定狀態控制電路之第一輸入端及該第一 SR 閂鎖器之第一輸入端之間。
3. 如申請專利範圍第 2 項所述之數位相位頻率鑑別電路，其另包含一第二延遲元件，連接於該第二預定狀態控制電路之第

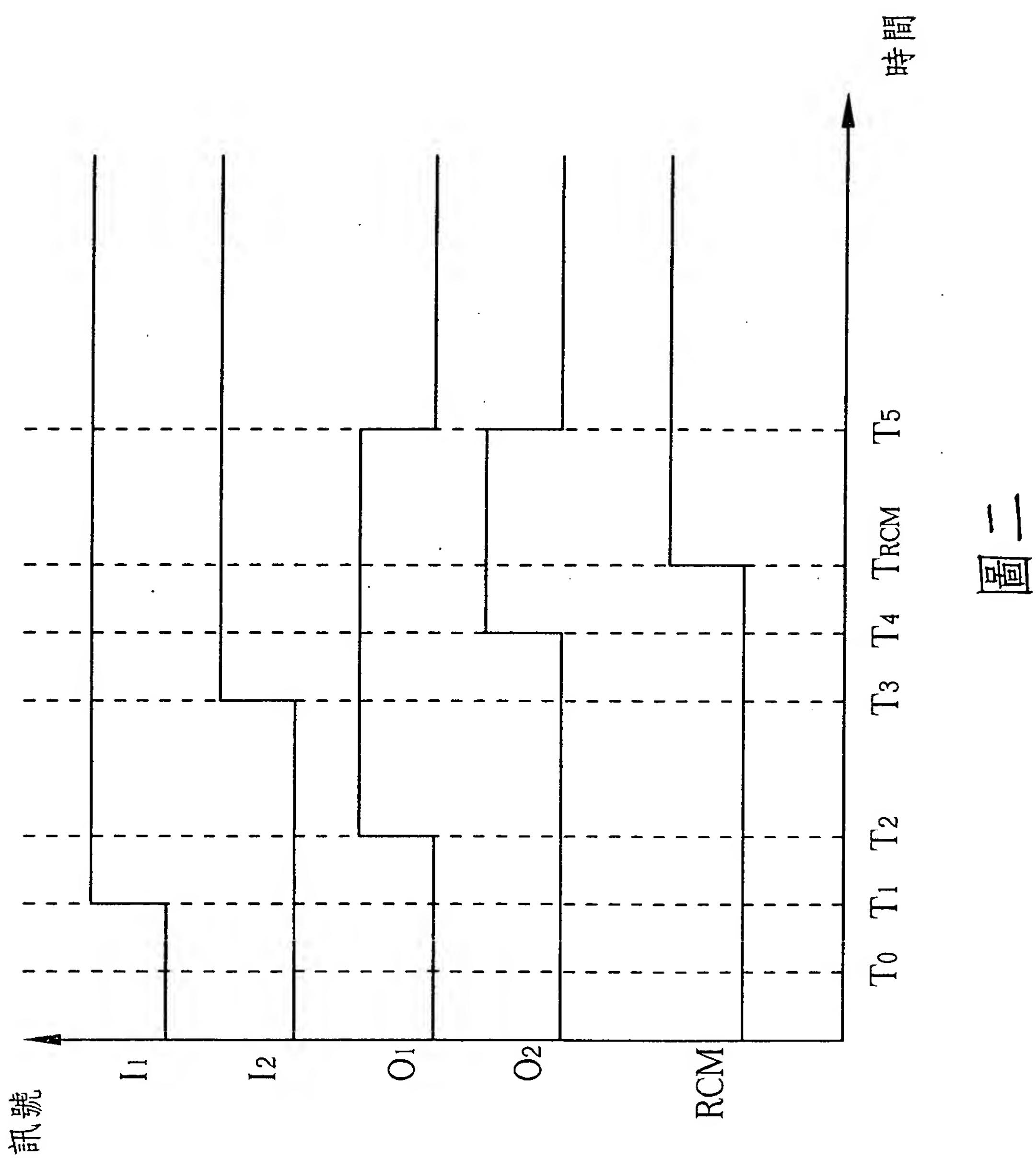
一輸入端及該第二 SR 門鎖器之第一輸入端之間。

4. 如申請專利範圍第 1 項所述之數位相位頻率鑑別電路，其中該預定狀態感測電路包含一反且閘(NAND gate)。
5. 如申請專利範圍第 4 項所述之數位相位頻率鑑別電路，其中該反且閘包含二輸入端，而該第一及第二 SR 閂鎖器分別包含一 Q 輸出訊號端，連接於該反且閘之二輸入端。
6. 如申請專利範圍第 1 項所述之數位相位頻率鑑別電路，其中該預定狀態感測電路包含一或閘(OR gate)。
7. 如申請專利範圍第 6 項所述之數位相位頻率鑑別電路，其中該或閘包含二輸入端，而該第一及第二 SR 閂鎖器分別包含一 \bar{Q} 輸出訊號端，連接於該或閘之二輸入端。
8. 如申請專利範圍第 1 項所述之數位相位頻率鑑別電路，其中該第一及第二 SR 閂鎖器分別包含一對交錯偶接之反或閘。
9. 如申請專利範圍第 1 項所述之數位相位頻率鑑別電路，其中該第一及第二 SR 閂鎖器分別包含一對交錯偶接之反且閘。
10. 如申請專利範圍第 1 項所述之數位相位頻率鑑別電路，其中該第一及第二預定狀態控制電路分別包含一對交錯偶接之反且閘。
11. 如申請專利範圍第 1 項所述之數位相位頻率鑑別電路，其中該第一及第二預定狀態控制電路分別包含一對交錯偶接之反或閘。

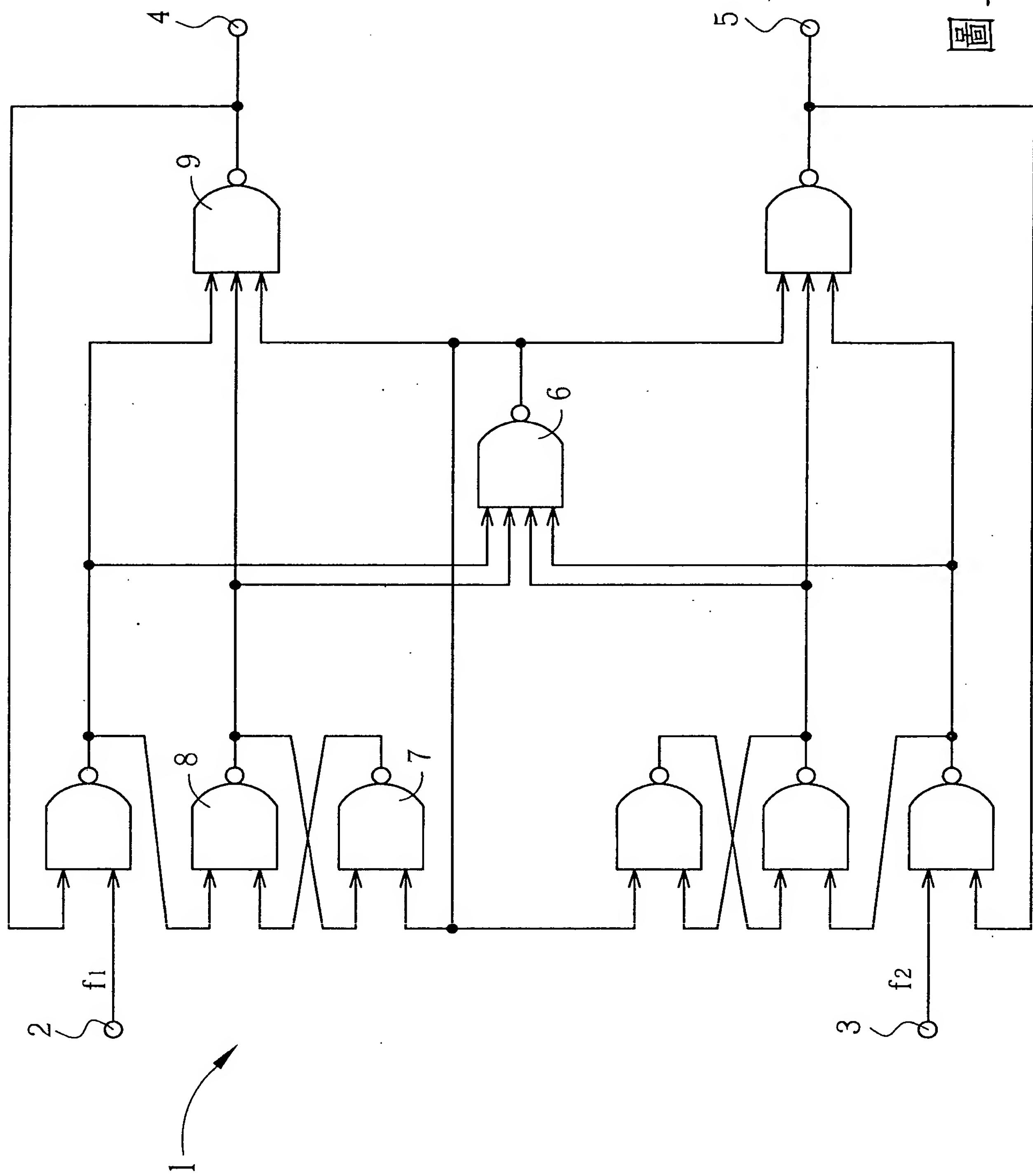
拾壹、圖式：



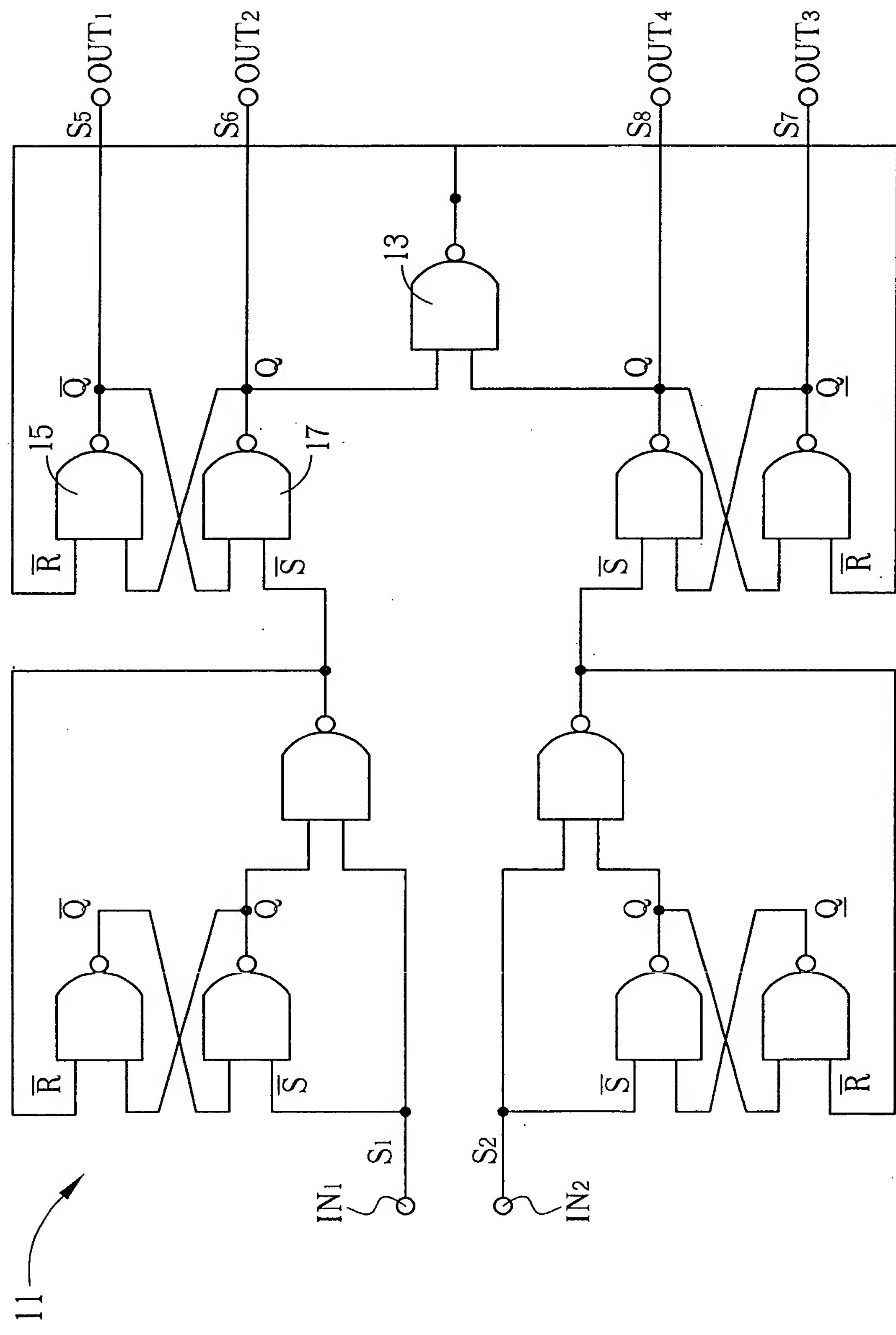
—



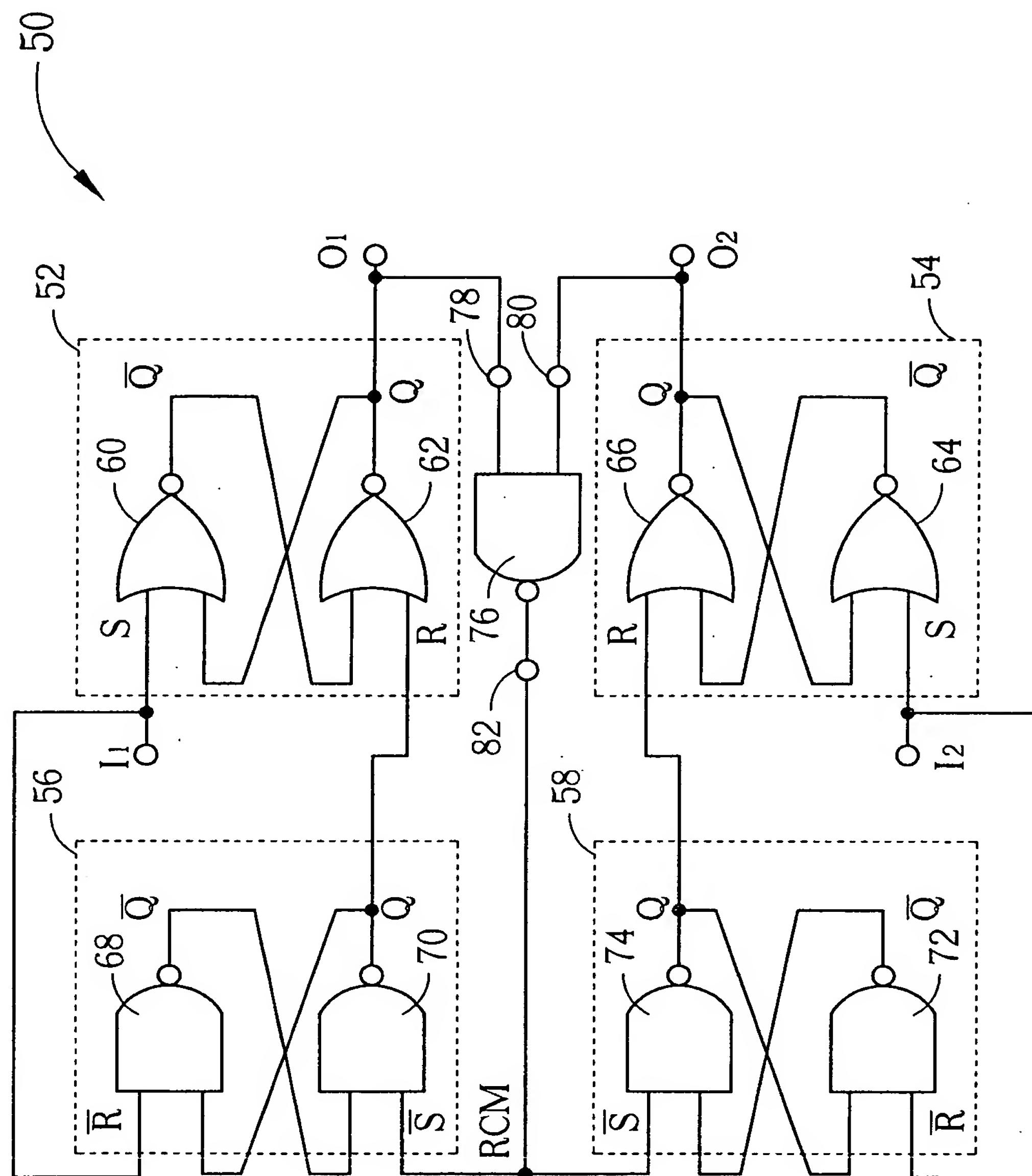
圖二



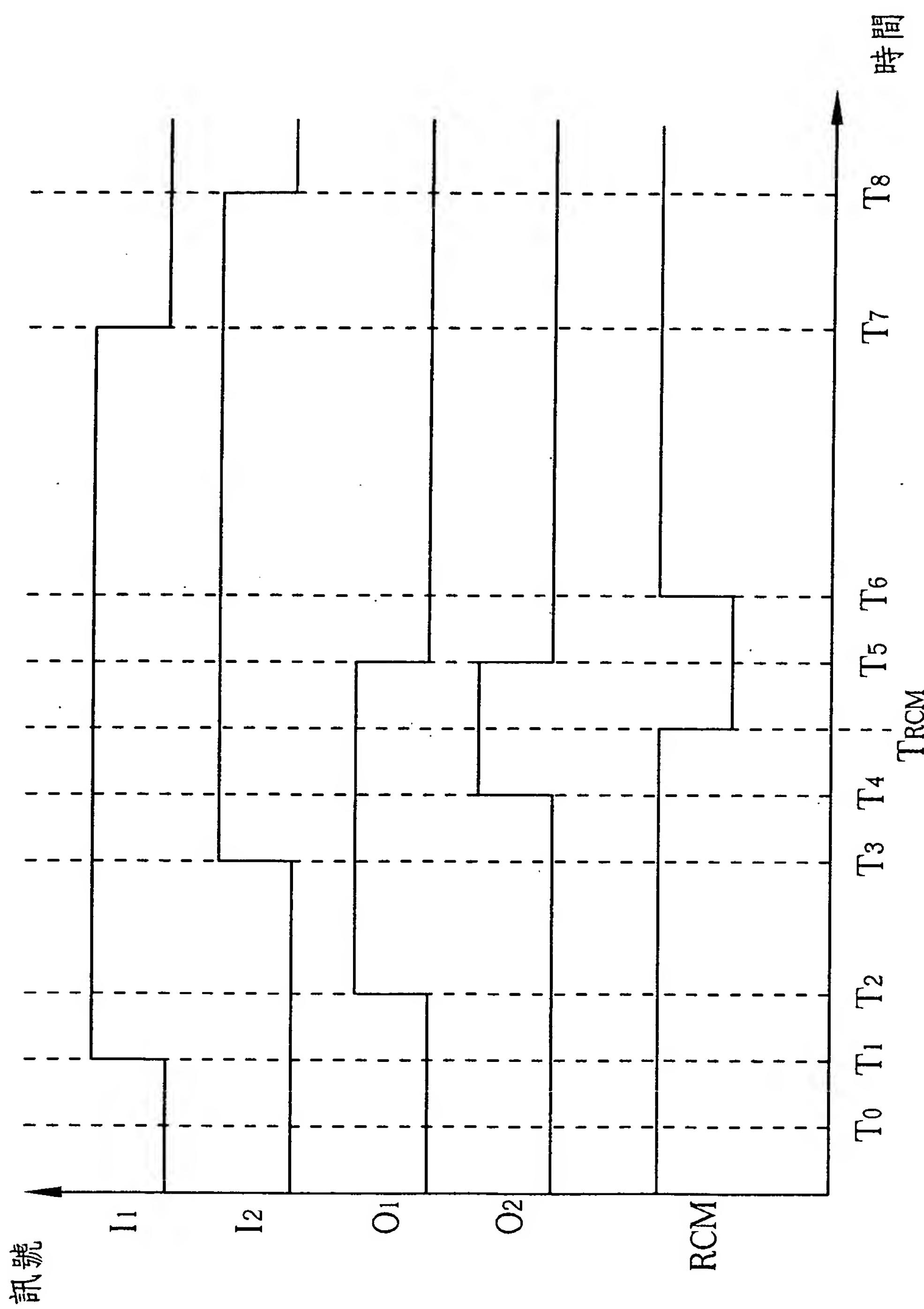
圖四



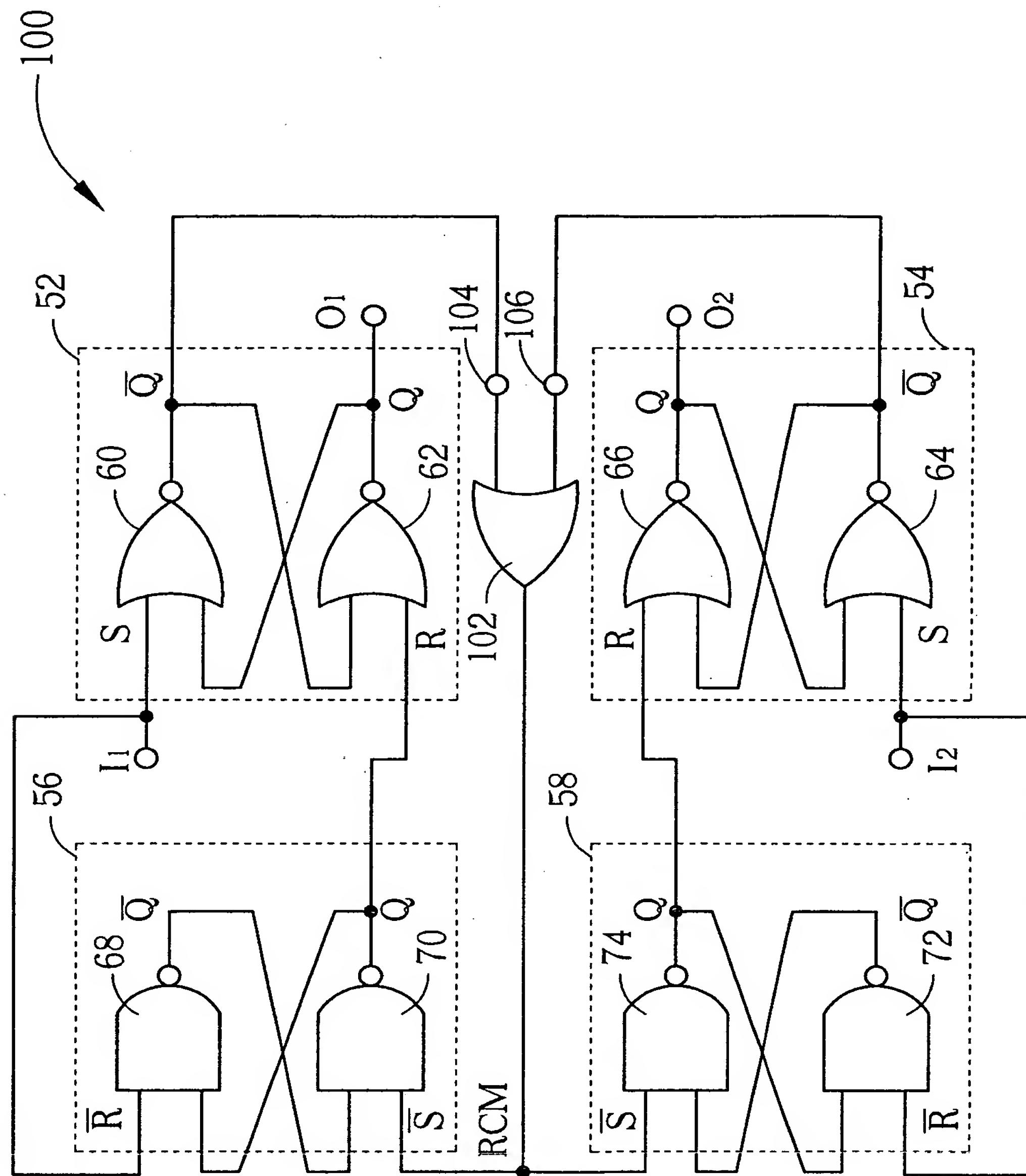
圖五



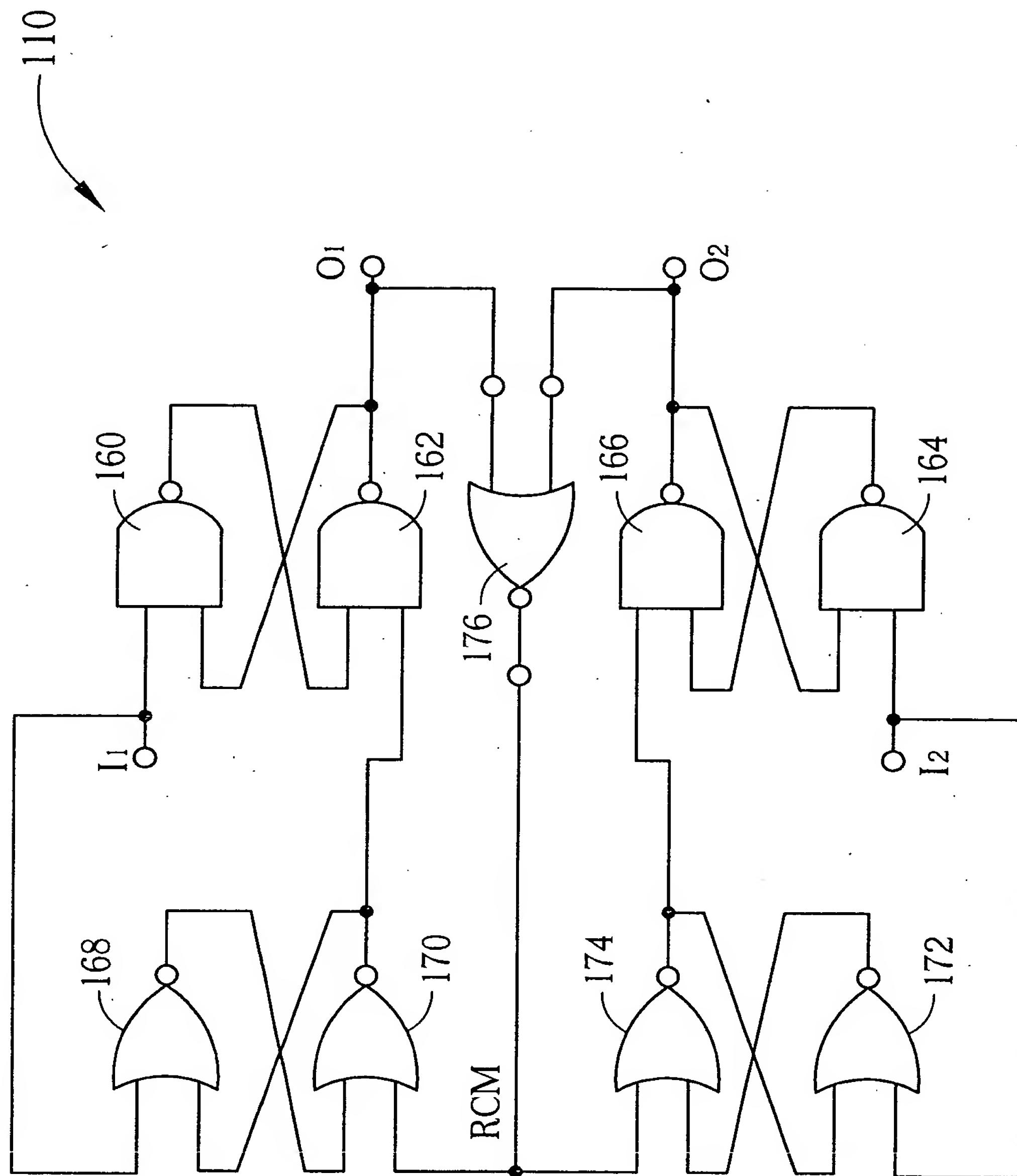
圖六



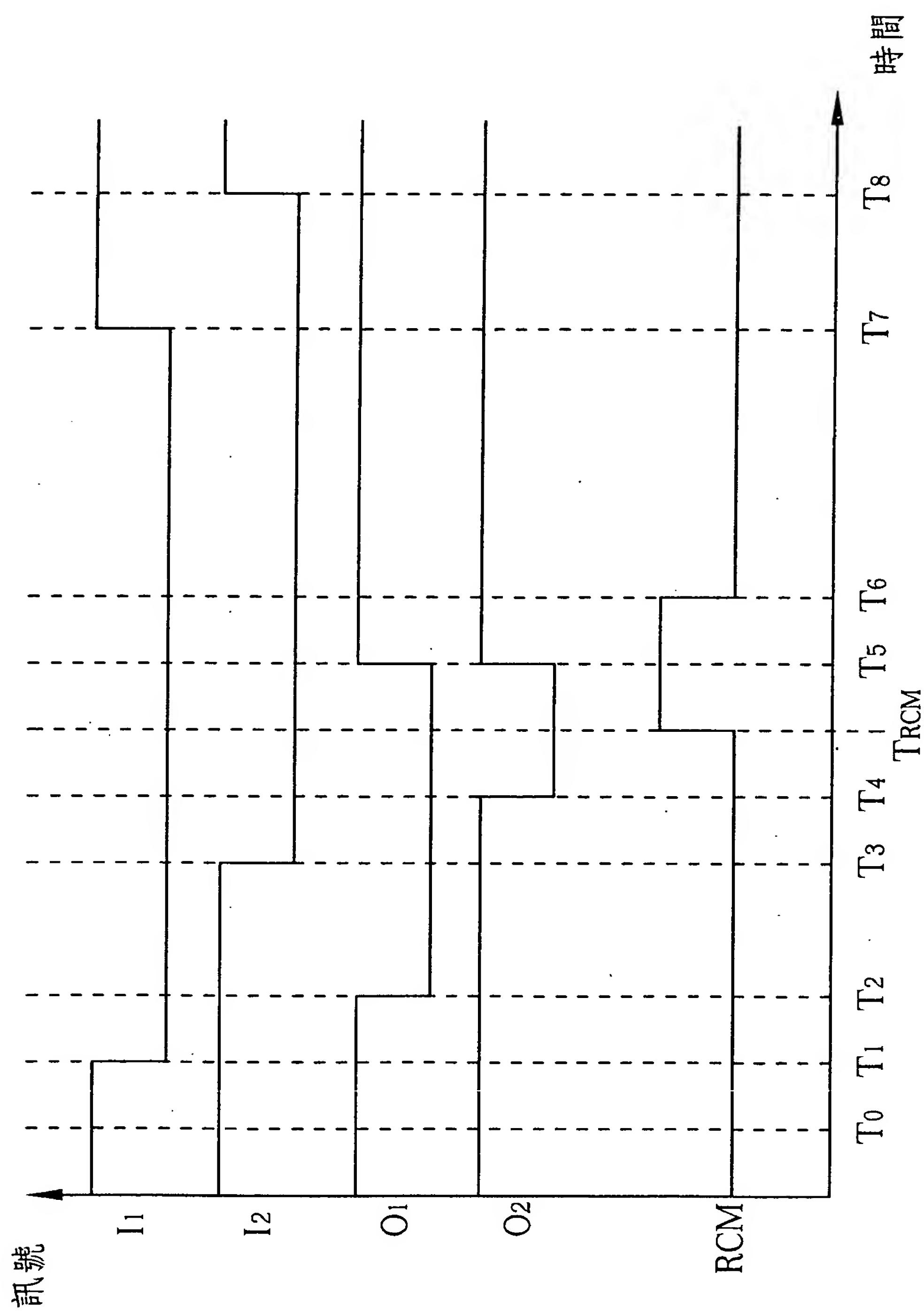
圖七



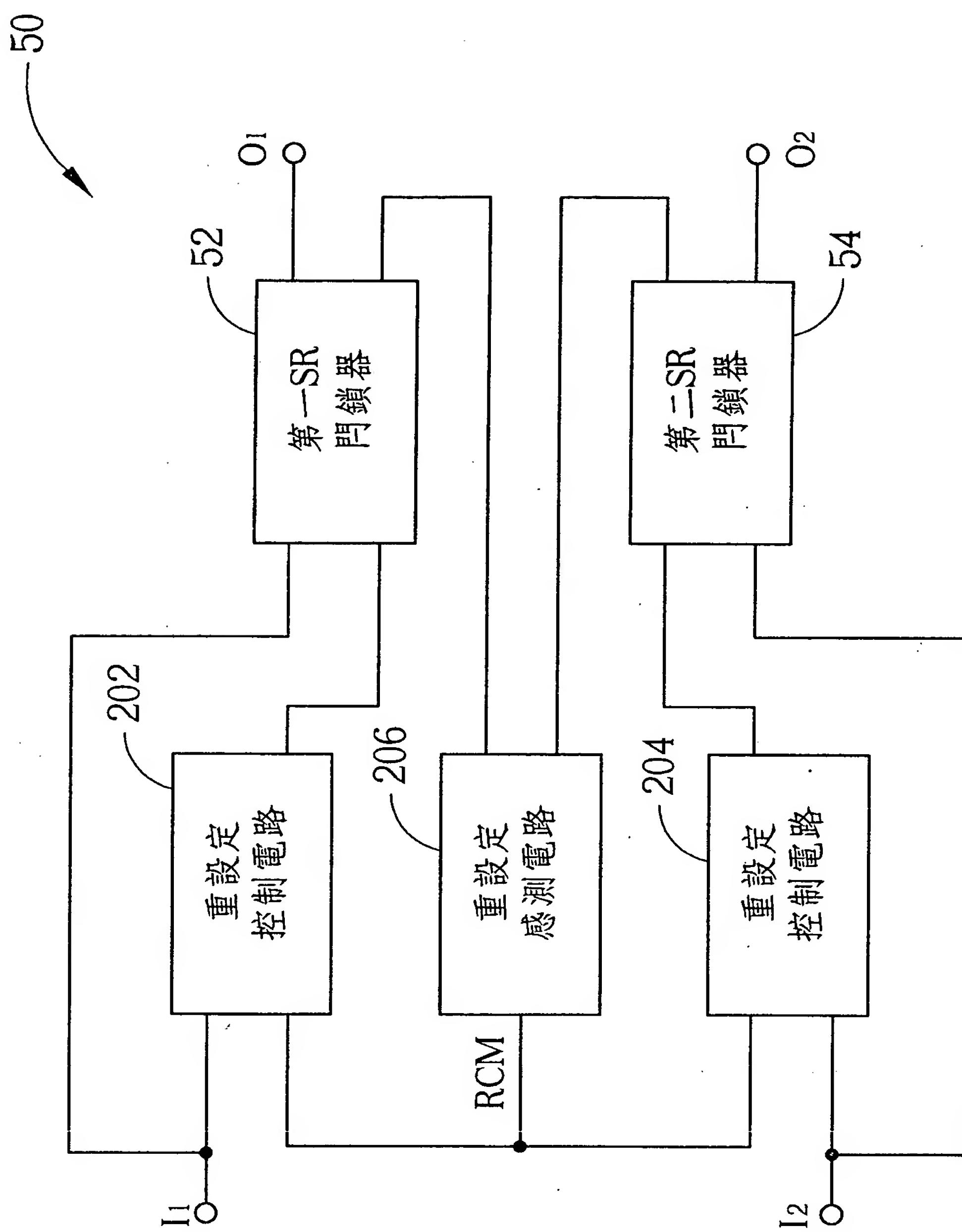
圖八



圖九



圖十



● ● ●

圖十一

